

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 2 月 2 4 日

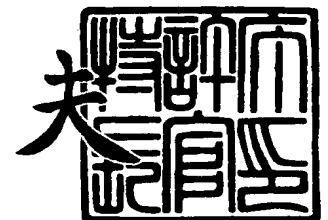
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 7 1 7 6 9
[ST. 10/C]: [J P 2 0 0 2 - 3 7 1 7 6 9]

出 願 人
Applicant(s): 株式会社沖データ
株式会社沖デジタルイメージング

2 0 0 3 年 1 0 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 0 1 7 5

【書類名】 特許願

【整理番号】 MA901322

【提出日】 平成14年12月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 33/00

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 荻原 光彦

【発明者】

 【住所又は居所】 東京都八王子市東浅川町 5 5 0 番地の 1 株式会社沖デ
 ジタルイメージング内

 【氏名】 藤原 博之

【特許出願人】

 【識別番号】 591044164

 【氏名又は名称】 株式会社沖データ

 【代表者】 河井 正彦

【特許出願人】

 【識別番号】 500002571

 【氏名又は名称】 株式会社沖デジタルイメージング

 【代表者】 菊地 曠

【代理人】

 【識別番号】 100083840

 【弁理士】

 【氏名又は名称】 前田 実

【選任した代理人】

 【識別番号】 100116964

 【弁理士】

 【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9407118

【包括委任状番号】 0104055

【包括委任状番号】 0010218

【包括委任状番号】 0104054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成され、独立に電位を制御することができる m 個 (m は 2 以上の整数) の導通層と、

半導体素子を有し、 m 個の前記導通層のそれぞれの表面に貼り付けられた半導体薄膜と

を備えたことを特徴とする半導体装置。

【請求項 2】 前記基板が、半導体基板であり、

前記半導体基板が、集積回路を有する

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記基板が、絶縁基板であり、

前記絶縁基板上に、集積回路が備えられた

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】 前記半導体薄膜の前記半導体素子が、第 1 導電型半導体領域と、前記第 1 導電型半導体領域と異なる導電型である第 2 導電型半導体領域とを有し、

前記第 1 導電型半導体領域が、前記導通層に接している

ことを特徴とする請求項 1 から 3 までのいずれかに記載の半導体装置。

【請求項 5】 m 個の前記導通層のそれぞれの表面に貼り付けられた前記半導体薄膜の数が、前記導通層のそれぞれに対して 1 つずつであることを特徴とする請求項 1 から 4 までのいずれかに記載の半導体装置。

【請求項 6】 前記導通層の前記半導体素子配列方向の端部と、前記半導体薄膜の端部とが前記基板の表面に垂直な同一平面上にあることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】 前記半導体薄膜に備えられた前記半導体素子の数が、前記半導体薄膜のそれぞれに対して n 個 (n は 2 以上の整数) ずつであることを特徴とする請求項 5 又は 6 のいずれかに記載の半導体装置。

【請求項 8】 m 個の前記導通層のそれぞれの表面に貼り付けられた前記半導体薄膜の数が、前記導通層のそれぞれに対して n 個（n は 2 以上の整数）ずつであることを特徴とする請求項 1 から 4 までのいずれかに記載の半導体装置。

【請求項 9】 前記半導体薄膜に備えられた前記半導体素子の数が、前記半導体薄膜のそれぞれに対して 1 個ずつであることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記基板に備えられ、独立に電位を制御することができる m 本の共通配線と、

前記基板に備えられ、独立に電位を制御することができる n 本の信号配線とを有し、

m 本の前記共通配線と m 個の前記導通層とが、一対一で電氣的に接続され、m 個の前記導通層のそれぞれの上に備えられた n 個の前記第 2 導電型半導体領域の内の k 番目（ $k = 1, 2, \dots, n$ ）の第 2 導電型半導体領域が、n 本の前記信号配線の内の k 番目の信号配線と電氣的に接続される

ことを特徴とする請求項 7 又は 9 のいずれかに記載の半導体装置。

【請求項 11】 前記半導体薄膜の前記第 2 導電型半導体領域上から前記信号配線の端部上まで延びる個別配線層を有することを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記個別配線層が、フォトリソグラフィ技術を用いて一括形成された薄膜であることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】 前記集積回路が、前記半導体素子を駆動させる駆動 IC を含み、

m 本の前記共通配線及び n 本の前記信号配線が、前記駆動 IC に接続されている

ことを特徴とする請求項 10 に記載の半導体装置。

【請求項 14】 前記半導体薄膜が、化合物半導体を主材料とすることを特徴とする請求項 1 から 13 までのいずれかに記載の半導体装置。

【請求項 15】 前記半導体素子が、発光素子、受光素子、ホール素子、及び圧電素子の内のいずれかの素子であることを特徴とする請求項 1 から 14 ま

でのいずれかに記載の半導体装置。

【請求項 16】 前記導通層が、メタル層又はポリシリコン層のいずれかであることを特徴とする請求項 1 から 15 までのいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、電子写真式プリンタに使用される LED プリントヘッドのような半導体装置に関する。

【0002】

【従来の技術】

図 18 は、従来の LED プリントヘッドの一部を概略的に示す斜視図であり、図 19 は、図 18 の LED プリントヘッドに備えることができる LED アレイチップの一例を示す平面図である。図示された LED プリントヘッド 900 は、基板 901 上に備えられた LED アレイチップ 902 の電極パッド 903 と、基板 901 上に備えられた駆動 IC チップ 904 の電極パッド 905 とをボンディングワイヤ 906 で接続した構造を持つ。

【0003】

また、下記の特許文献 1 には、薄膜構造の発光素子が開示されている。

【0004】

【特許文献 1】

特開平 10-063807 号公報（図 3 から図 6 まで、図 8、段落 0021）

【0005】

【発明が解決しようとする課題】

しかしながら、図 18 及び図 19 に示された LED プリントヘッド 900 では、LED アレイチップ 902 と駆動 IC チップ 904 とをボンディングワイヤ 906 によって接続していたので、LED アレイチップ 902 と駆動 IC チップ 904 のそれぞれにワイヤボンド用の大きな（例えば、 $100\mu\text{m} \times 100\mu\text{m}$ ）電極パッド 903 及び 905 を設ける必要があった。このため、LED アレイチップ 902 及び駆動 IC チップ 904 の面積を小さくすることが困難であり、そ

の結果、材料コストを削減することが困難であった。

【0006】

また、LEDアレイチップ902において発光部907として機能する領域は、表面から5 μ m程度の深さの領域である。しかし、図18及び図19に示されたLEDプリントヘッド900では、安定したワイヤボンドの歩留まりを確保するために、LEDアレイチップ902の厚さは駆動ICチップ904の厚さ（例えば、250 μ m～300 μ m）と同程度にする必要があった。このため、LEDプリントヘッド900においては、LEDアレイチップ902の材料コストを削減することが困難であった。

【0007】

さらにまた、特許文献1には、薄膜構造の発光素子が開示されているが、発光素子にはハンダボール用の電極パッドが備えられており、この電極パッドにハンダボールを介して個別電極が接続されている。このように、特許文献1の薄膜構造の発光素子は電極パッドを備えているので、その面積を縮小することが困難であった。

【0008】

そこで、本発明は上記したような従来技術の課題を解決するためになされたものであり、その目的とするところは、小型化及び材料コストの低減を図ることができる半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

本発明に係る半導体装置は、基板と、前記基板上に形成され、独立に電位を制御することができるm個（mは2以上の整数）の導通層と、半導体素子を有し、m個の前記導通層のそれぞれの表面に貼り付けられた半導体薄膜とを備えたことを特徴としている。

【0010】

【発明の実施の形態】

<第1の実施形態>

図1は、本発明の第1の実施形態に係る半導体装置であるLED／駆動IC複

合チップの一部を概略的に示す斜視図である。また、図2は、第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図であり、図3は、図2をS₃-S₃線で切る面を概略的に示す断面図である。また、図4は、第1の実施形態に係るLED／駆動IC複合チップの回路図である。

【0011】

図1から図4までに示されるように、第1の実施形態に係るLED／駆動IC複合チップ100は、集積回路102を有するシリコン（Si）基板101と、このSi基板101上に形成され、独立に電位を制御することができるm個（mは2以上の整数）のメタル層103と、n個（nは2以上の整数）のLED105を有し、m個のメタル層103のそれぞれの表面に貼り付けられたシート状の半導体薄膜であるエピタキシャルフィルム（以下「LEDエピフィルム」と言う。）104と、LED105上からSi基板101の個別電極領域107上まで延びる複数の個別配線層106とを有する。

【0012】

また、図2又は図4に示されるように、第1の実施形態に係るLED／駆動IC複合チップ100は、集積回路102内に、独立に電位を制御することができるm本の共通配線131と、独立に電位を制御することができるn本の信号配線132とを有する。m本の共通配線131とn本の信号配線132とは、集積回路102の一部である又は集積回路102に接続された駆動IC109に接続されている。駆動IC109は、m本の共通配線131とn本の信号配線132との電位を独立に制御する。m本の共通配線131とm個の導通層103とは、一対一で電氣的に接続されている。このため、駆動IC109は、m個の導通層103の電位を独立に制御する（例えば、選択的にグランド電位に接続する）ことができ、LED105の共通電極側の電位を制御することができる。

【0013】

また、m個の導通層103のそれぞれの上に備えられたn個のLED105の内のk番目（k=1, 2, …, n）のLED（例えば、一方の端部からの配列の順番）が、n本の信号配線132の内のk番目の信号配線と接続される。このため、駆動IC109は、n本の信号配線132の電位を独立に制御することがで

き、LED 105の個別電極側の電位を制御することができる。図4は、 $m=4$ 、 $n=4$ の場合を示しているが、 m 及び n の値はこれらの値に限定されない。

【0014】

図1から図3までに示されるように、LEDエピフィルム104に形成されている n 個のLED（発光部）105は、等ピッチで1列に配列されている。ただし、LED 105の配列は等ピッチに限定されない。また、LED 105の列数も1列に限定されず、例えば、LED 105の配列を、配列方向に直交する方向に規則的にずらしてもよい。また、図2に示されるように、LEDエピフィルム104は、LED 105の発光領域の幅 W_2 よりも広い幅 W_1 を持つ。例えば、LED 105の発光領域の幅 W_2 を $20\mu\text{m}$ とし、LEDエピフィルム104の幅 W_1 を $50\mu\text{m}$ とし、LED 105の発光領域の両側にそれぞれ $15\mu\text{m}$ の余裕を持たせている。LEDエピフィルム104の幅 W_1 は、電極パッドを有する従来のLEDプリントヘッドの基板の幅（通常、 $400\mu\text{m}$ 程度）よりも非常に小さい幅である。ただし、LEDエピフィルム104の幅 W_1 及びLED 105の発光領域の幅 W_2 は上記した値に限定されない。

【0015】

LEDエピフィルム104は、後述するエピタキシャル層のみで構成されることが望ましい。LEDエピフィルム104の厚さは、LEDの安定した特性（例えば、発光特性や電気特性）を確保するために十分な厚さである $2\mu\text{m}$ 程度とすることができる。このLEDエピフィルム104の厚さは、電極パッドを有する従来のLEDプリントヘッドの厚さ（通常、 $300\mu\text{m}$ 程度）よりも非常に薄い厚さである。また、LEDエピフィルム104の厚さが厚くなると、その上に形成される薄膜の配線層に段切れが発生する確率が高くなる。このような不良の発生を回避するためには、LEDエピフィルム104の厚さを、約 $10\mu\text{m}$ 以下にすることが望ましい。ただし、ポリイミド等の絶縁体材料を使って、段差領域を平坦化する等の方策を講ずることによって、LEDエピフィルム104の厚さを $10\mu\text{m}$ を超える厚さにすることもできる。

【0016】

Si基板101は、集積回路102が作り込まれたモノリシックSi基板であ

る。Si基板101の集積回路102には、LEDエピフィلم104に形成されたLED105を駆動させるための駆動ICが含まれる。ただし、集積回路102には、駆動ICの他に、LED105の点灯制御に共通に使用される回路、配線パターン等が含まれる。Si基板101の厚さは、例えば、約300 μ mである。また、基板材料には、アモルファスシリコン、単結晶シリコン、ポリシリコンの他、化合物半導体、有機半導体、及び絶縁体材料（ガラスやサファイヤ等）のような他の材料を用いることもできる。さらに、集積回路102を有するSi基板101に代えて、例えば、絶縁基板上に集積回路102を備えた構造を採用することもできる。

【0017】

メタル層103は、Si基板101表面の集積回路102が形成されている領域に隣接した、集積回路102が形成されていない領域上に形成されている。メタル層103は、例えば、パラジウム又は金等からなる。また、メタル層103に代えてポリシリコン等の金属以外の導通層を備えてもよい。メタル層103の表面にはLEDエピフィلم104が貼り付けられている。メタル層103は、その上に貼り付けられたLEDエピフィلم104をSi基板101の集積回路102形成領域近傍に固定する機能と、LEDエピフィلم104の下面の共通電極領域とSi基板101の共通電極領域とを電気的に接続する機能とを持つ。メタル層103とLEDエピフィلم104内の共通電極領域との間、及び、メタル層103とSi基板101の共通電極領域（例えば、図2の符号108）との間には、オーミックコンタクトが形成されることが望ましい。ここで、LEDエピフィلم104内の共通電極領域とは、メタル層103と接するエピタキシャル層全面を示しており、本実施形態で具体的に述べれば、n型GaAs層111の共通電位側（n電極側）となる表面全面を意味する。また、Si基板101の共通電極領域とは、メタル層103と接するSi基板の表面領域を示しており、本実施形態で具体的に述べれば、図2に示される領域108を意味する。また、メタル層103を、Si基板101表面の集積回路102が形成されている領域上に（全部又は一部が重なるように）、絶縁膜を挟んで、形成してもよい。なお、メタル層103の厚さは、例えば、約100nm（＝0.1 μ m）である。

【0018】

図2又は図4に示されるように、個別配線層106は、LEDエピフィルム104の複数のLED105の発光領域上面と、Si基板101の複数の個別電極領域107とのそれぞれを電氣的に接続する。個別配線層106は、例えば、薄膜のメタル配線である。個別配線層106は、①金を含む単層又は積層のメタル層、例えば、金で構成された層(Au層)、チタンと白金と金の積層層(Ti/Pt/Au積層層)、金と亜鉛の積層層(Au/Zn積層層)、金・ゲルマニウム・ニッケルを含む層と金層との積層層(AuGeNi/Au積層層)、②パラジウムを含む単層又は積層のメタル層、例えば、パラジウムで構成された層(Pd層)、パラジウムと金の積層層(Pd/Au積層層)、③アルミニウムを含む単層又は積層のメタル層、例えば、アルミニウムで構成された層(Al層)、アルミニウムとニッケルの積層層(Al/Ni積層層)、④ポリシリコンで構成された層、⑤ITOやZnO等の導電性酸化物薄膜等とすることができる。また、個別配線層106においては、素子とのコンタクト部分の材料と、配線領域の材料とを別の材料で構成してもよい。その場合には、上記メタル材料や導電性酸化物材料を適宜組み合わせ使用することができる。個別配線層106は、フォトリソグラフィ技術を用いて一括形成することが望ましい。個別配線層106の幅が5 μ mであり、厚さが0.5 μ mであり、数mAの駆動電流を流す場合には、個別配線層106の長さは、約200 μ m以下にすることが望ましい。

【0019】

また、個別配線層106とLEDエピフィルム104の表面及び側面との間、個別配線層106とメタル層103との間、個別配線層106とSi基板101の表面との間、個別配線層106と集積回路102形成領域との間など、電氣的にショートしてはならない領域には、絶縁膜が設けられ、正常な動作を確保できる構造になっている。LEDエピフィルム104上の素子から個別電極領域107までの間には、LEDエピフィルム104やIC形成領域の段差が存在する。これらの段差領域で、個別配線層106に断線が発生しないように良好な被覆が可能な、PCVD(プラズマ化学気相成長)法で形成した絶縁膜によって層間絶縁膜を形成したり、或いは、ポリイミド膜等で段差を平坦化する等、段差の形態

に応じて層間絶縁膜（酸化シリコン又は窒化シリコンなど）を設けることが望ましい。

【0020】

次に、第1の実施形態の断面構造を説明する。図3に示されるように、LED／駆動IC複合チップ100は、Si基板101と、メタル層103と、LEDエピフィilm104と、個別配線層106とを順に積層させた構造を持つ。図3に示されるように、LEDエピフィilm104は、n型GaAs層111と、n型 $Al_xGa_{1-x}As$ 層112（ $0 \leq x \leq 1$ ）と、n型 $Al_yGa_{1-y}As$ 層113（ $0 \leq y \leq 1$ ）と、n型 $Al_zGa_{1-z}As$ 層114（ $0 \leq z \leq 1$ ）と、n型GaAs層115とを順に積層させた構造を持つ。また、n型 $Al_yGa_{1-y}As$ 層113及びn型 $Al_zGa_{1-z}As$ 層114にはZn拡散領域116が形成されており、n型 $Al_zGa_{1-z}As$ 層114上には絶縁膜117が形成されている。

【0021】

n型GaAs層111の厚さは、約10nm（＝約0.01 μ m）であり、n型 $Al_xGa_{1-x}As$ 層112の厚さは、約0.5 μ mであり、n型 $Al_yGa_{1-y}As$ 層113の厚さは、約1 μ mであり、n型 $Al_zGa_{1-z}As$ 層114の厚さは、約0.5 μ mであり、n型GaAs層115の厚さは、約10nm（＝約0.01 μ m）である。この場合には、LEDエピフィilm104の厚さは、約2.02 μ mとなる。ただし、各層の厚さは、上記値に限定されない。また、LEDエピフィilm104の材料として、 $(Al_xGa_{1-x})_yIn_{1-y}P$ （ここで、 $0 \leq x \leq 1$ 且つ $0 \leq y \leq 1$ である。）、GaN、AlGaN、InGaN等の他の材料を用いてもよい。

【0022】

また、上記各層のAl組成は、 $x > y$ 且つ $z > y$ （例えば、 $x = z = 0.4$ 、 $y = 0.1$ ）とすることができる。Zn拡散領域116の拡散フロントは、n型 $Al_yGa_{1-y}As$ 層113の内部に位置するように構成することができる。このように構成することにより、pn接合を介して注入された少数キャリアは、n型 $Al_yGa_{1-y}As$ 層113内、及び、Zn拡散によって Al_yGa_{1-y}

y As 層 113 内に形成された p 型 $Al_yGa_{1-y}As$ 内に閉じ込められ、高い発光効率を得られる。即ち、図 3 に示されるような構造を採用することによって、LED エピフィルム 104 の厚さを約 $2\mu m$ と薄くすることができ、発光効率を高くすることができる。なお、上記説明においては、エピタキシャル層としてダブルヘテロ型に複数のエピタキシャル層を積層し、そこに Zn 拡散層による逆導電型不純物拡散領域を形成してホモ接合型とした LED の製造方法を説明したが、シングルヘテロ積層型或いは単層のエピタキシャル層からなるエピタキシャル層に拡散領域を形成したホモ接合型 LED とすることもできる。

【0023】

次に、LED エピフィルム 104 の製造プロセスを説明する。図 5 から図 8 までは、LED エピフィルム 104 の製造プロセスを概略的に示す断面図であり、図 8 は、図 7 を S_8-S_8 線で切る面を概略的に示す断面図である。なお、図 7 は、図 8 を S_7-S_7 線で切る面を示す断面図に相当する。

【0024】

LED エピタキシャル層 104a (剥離される前は「LED エピタキシャル層 104a」と記載し、剥離された後は「LED エピフィルム 104」と記載する。) の製造は、有機金属化学蒸着法 (MOCVD 法) や分子線エピタキシー法 (MBE 法) 等によって行うことができる。LED エピタキシャル層 104a の製造に際しては、図 5 に示されるように、GaAs 基板 121 上に、GaAs バッファ層 122、 $(AlGa)InP$ エッチングストップ層 123、及び AlAs 剥離層 124 を順に成膜する。次に、AlAs 剥離層 124 上に、GaAs コンタクト層 111 (n 型 GaAs 層 111)、 $AlGaAs$ 下クラッド層 112 (n 型 $Al_xGa_{1-x}As$ 層 112)、 $AlGaAs$ 活性層 113 (n 型 $Al_yGa_{1-y}As$ 層 113)、及び $AlGaAs$ 上クラッド層 114 (n 型 $Al_zGa_{1-z}As$ 層 114)、GaAs コンタクト層 115a を順に成膜する。LED エピタキシャル層 104a の剥離は、化学的リフトオフ法を用いて行うことができる。ここで、エッチングストップ層 123 を省くこともできる。

【0025】

次に、図 6 に示されるように、固相拡散法等により亜鉛 (Zn) からなる P 型

不純物を拡散し、Zn拡散領域116を形成する。その後、固相拡散時に用いた拡散源膜は除去し、GaAsコンタクト層のZn拡散領域表面を露出させる。

【0026】

次に、図7及び図8に示されるように、10%HF（弗化水素）液により、AlAs剥離層124を選択的に除去する。AlAs剥離層124に対するエッチング速度は、AlGaAs層112～114、GaAs層111、121、122、及びエッチングストップ層123に対するエッチング速度に比べ格段に大きいので、AlAs剥離層124を選択的にエッチングすることができる。これにより、LEDエピフィلم104を、LEDエピフィلم製造用基板120から剥がすことが可能になる。なお、このLEDエピフィلم104を薄くするとともに、比較的短い時間でLEDエピフィلم製造用基板120から剥がすためには、例えば、LEDエピフィلم104の幅を300 μ m以下、例えば、50 μ m程度とすることが望ましい。このためには、図8に示されるように、幅W₁が50 μ mとなるように、各エピタキシャル層111～114及び115aをエッチングし、溝125を形成しておく。溝125の形成は、溝形成領域レジスト等によりマスクをしておき、燐酸過水によりエッチングするフォトリソグラフィ工程により行う。燐酸過水は、AlGaAs層112～114、GaAs層111、115a、121、122は、エッチングするが、(AlGa)InPエッチングストップ層123に対するエッチング速度が遅いので、上面から溝125をエッチング形成する際に溝が基板121まで到達するのを防止することができる。溝125を形成するにあたり溝形成予定領域上の絶縁膜をあらかじめ除去した構造とした後に、溝125を形成してもよい。溝125を形成するためのフォトリソ・エッチング工程で、溝125を形成するためのレジストマスクを使って溝形成予定領域上の絶縁膜を除去し、さらに溝形成のためのエッチングを行ってもよい。溝125を形成した後、HF液によりエッチングすることにより、AlAs剥離層124をエッチングし、LEDエピフィلم104を剥離する。なお、図8には、AlAs剥離層124が残されている状態（エッチング途中）が示されているが、LEDエピフィلم104を保持した状態で、AlAs剥離層124は完全に除去される。AlAs剥離層124をエッチング除去した後、エッチ

ング液が残留しないように純水による水洗処理を施す。LEDエピフィルム104の剥離に際して、LEDエピフィルムを支持及び保護する支持体をLEDエピフィルム104上に設けることができる。例えば、LEDエピフィルム104の上に支持体を設けた場合、LEDエピフィルム支持体表面を、例えば、真空吸着や光硬化性粘着シート（光照射により粘着性を失う粘着シート）等により吸着し所定の位置に移動することができる。

【0027】

以上説明したように、第1の実施形態に係るLED／駆動IC複合チップ100によれば、LEDエピフィルム104にワイヤボンディング用の電極パッドを備える必要がないので、装置の小型化及び材料コストの低減を図ることができる。

【0028】

また、第1の実施形態に係るLED／駆動IC複合チップ100によれば、Si基板101上に貼り付けられたLEDエピフィルム104とSi基板101に形成された集積回路102とをフォトリソグラフィ技術により形成された薄膜の個別配線層106により電氣的に接続しているので、LEDエピフィルム104の厚さをワイヤボンドに対する強度を考慮して厚くする必要がない。このように、LEDエピフィルム104の厚さを薄くできるので、材料コストの低減を図ることができる。

【0029】

さらに、第1の実施形態に係るLED／駆動IC複合チップ100によれば、各LEDごとに駆動回路を備える方式に比べ、集積回路102の面積を縮小できる。

【0030】

さらにまた、第1の実施形態に係るLED／駆動IC複合チップ100によれば、広い面積を要する共通配線131及び個別配線132を、高価な化合物半導体等から構成されるLEDエピフィルム104上ではなく、Si基板101上又はSi基板101内に設けたので、材料コストの低減を図ることができる。

【0031】

図9は、本発明の第1の実施形態の変形例に係る半導体装置としてのLED／駆動IC複合チップ150を概略的に示す斜視図である。図9において、図1（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。図9に示されたLED／駆動IC複合チップ150は、メタル層153の形状が図1の場合と相違する。図1においては、メタル層103は、Si基板101の共通電極領域108（集積回路102から延びる電極領域）と電氣的接続されているが、図9においては、メタル層153の延長部153aが集積回路102の共通電極領域上まで延びている。この点以外については、図9の例は、上記図1から図4までに示された上記第1の実施形態と同じである。なお、メタル層103を共通電極132に接続するための形態は、上記した具体例以外のものであってもよい。

【0032】

<第2の実施形態>

図10は、本発明の第2の実施形態に係る半導体装置であるLED／駆動IC複合チップの一部を概略的に示す斜視図であり、図11は、LED／駆動IC複合チップの一部を概略的に示す平面図である。また、図12は、図11をS12-S12線で切る面を概略的に示す断面図である。

【0033】

図10において、図1（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図11において、図2（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図12において、図3（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。図10及び図11に示されたLED／駆動IC複合チップ200は、各メタル層103上にn個のLEDエピフィilm 204を貼り付け、且つ、各LEDエピフィilm 204が1個のLED106を有する点が、図1及び図2に示される第1の実施形態に係るLED／駆動IC複合チップ100と相違する。

【0034】

図12に示されるように、LEDエピフィilm 204は、p型GaAs層211上に、p型 $Al_xGa_{1-x}As$ 層212、p型 $Al_yGa_{1-y}As$ 層21

3、 n 型 $Al_zGa_{1-z}As$ 層 214、及び n 型 $GaAs$ 層 215 を順に形成した構造を持つ。 n 型 $GaAs$ 層 215 上には層間絶縁膜 117 が成膜され、その開口部から集積回路 103 の個別電極領域 107 までの領域に個別配線層 106 が形成されている。上記各層の Al 組成は、 $x > y$ 且つ $z > y$ (例えば、 $x = z = 0.4$ 、 $y = 0.1$) とすることができる。ただし、LED エピフィルム 204 の構造及び組成は上記したものに限定されない。例えば、シングルヘテロ型でも、ホモ型でもよく、ダブルヘテロ型においても、クラッド層の間にノンドープの活性層を設ける或いは、量子井戸層を挿入する等の種々の構造が可能である。また、上面を p 型とし、下面を n 型にする等の変形も可能である。

【0035】

以上説明したように、第2の実施形態に係る LED/駆動 IC 複合チップ 200 によれば、LED エピフィルム 204 が小さく分割されているので、材料コストの一層の削減が可能になる。

【0036】

また、第2の実施形態に係る LED/駆動 IC 複合チップ 200 によれば、LED エピフィルム 204 が小さく分割されているので、LED エピフィルム 204 の熱膨張係数と Si 基板 101 の熱膨張係数とが大きく異なる場合に問題となり得る、LED エピフィルム 204 の内部応力を軽減でき、LED エピフィルム 204 の欠陥の発生要因の一つを排除できる。このため、第2の実施形態に係る LED/駆動 IC 複合チップ 200 の信頼性を高めることができる。

【0037】

さらに、第2の実施形態に係る LED/駆動 IC 複合チップ 200 によれば、LED エピフィルム 204 が小さく分割されており、接着領域が小さいので、LED エピフィルム 204 をメタル層 103 に密着させるプロセスが容易であり、密着性の不完全さに起因する欠陥発生率を低減できる。

【0038】

さらにまた、第2の実施形態に係る LED/駆動 IC 複合チップ 200 によれば、LED エピフィルム 204 が発光領域以外の部分を持たないので LED エピフィルムの幅を狭くすることができ、個別配線層 106 の長さを短くすることが

できる。

【0039】

なお、第2の実施形態において、上記以外の点は、上記第1の実施形態の場合と同じである。

【0040】

<第3の実施形態>

図13は、本発明の第3の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図であり、図14は、第3の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。また、図15及び図16は、第3の実施形態に係るLED／駆動IC複合チップの製造プロセスを概略的に示す斜視図である。

【0041】

図13において、図1（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。また、図14において、図2（第1の実施形態）の構成と同一又は対応する構成には、同じ符号を付す。図13及び図14に示されたLED／駆動IC複合チップ300は、メタル層303のLED配列方向の端部303aと、LEDエピフィilm104の端部とがSi基板101の表面に垂直な同一平面上にある、即ち、整列されている。このような構造を製造するためには、図15に示されるように、基板101上に長尺な分離前のメタル層313を形成し、その上に長尺な分離前のLEDエピフィilm314を貼り付ける。次に、エッチングマスク（図示せず）を用いて、図16に示されるように、LEDエピフィilm314及びその下のメタル層313を部分的に除去し、分離されたメタル層303と分離されたLEDエピフィilm104を形成する。このようなプロセスにより、図13及び図14に示されるように、分離されたメタル層303の端部303aと分離されたLEDエピフィilm104の端部とを整列させることができる。

【0042】

以上説明したように、第3の実施形態に係るLED／駆動IC複合チップ300によれば、分離されたメタル層303及び分離されたLEDエピフィilm10

4の端部を互いに一致させることができるので、メタル層303の端部とLEDエピフィルの端部のミスアライメントは生じない。このため、LEDエピフィム104の接着位置のずれに伴う不具合（例えば、LEDエピフィムの損傷など）を回避できる。

【0043】

なお、第3の実施形態において、上記以外の点は、上記第1又は2の実施形態の場合と同じである。

【0044】

<本発明が適用されたLEDプリントヘッド>

図17は、本発明に係る半導体装置を組み込んだLEDプリントヘッド700を概略的に示す断面図である。図17に示されるように、LEDプリントヘッド700は、ベース部材701と、ベース部材701に固定されたLEDユニット702と、柱状の光学素子を多数配列したロッドレンズアレイ703と、ロッドレンズアレイ703を保持するホルダ704と、これらの構成701～704を固定するクランプ705とを有する。LEDユニット702には、上記実施形態の半導体装置であるLED／駆動ICチップ又はLEDアレイチップが搭載されている。LEDユニット702で発生した光はロッドレンズアレイ703を通して照射される。LEDプリントヘッド700は、電子写真プリンタや電子写真コピー装置等の露光装置として用いられる。

【0045】

<可能な変形例>

なお、上記実施形態においては、Si基板上にメタル層103を形成した場合を説明したが、メタル層103に代えてポリシリコンや、ITO、ZnO等の導電性酸化物等の金属以外の導電性薄膜層を用いてもよい。

【0046】

また、上記第実施形態においては、半導体薄膜に備えられた半導体素子が、LED105である場合を説明したが、半導体素子は、レーザー等の他の発光素子、受光素子、ホール素子、及びpiezo素子等のような他の素子であってもよい。

【0047】

また、上記実施形態においては、LEDエピフィルム104がエピタキシャル層から構成された場合を説明したが、LEDエピフィルムに代えてエピタキシャル層ではない半導体薄膜を採用してもよい。

【0048】

【発明の効果】

以上に説明したように、本発明によれば、半導体薄膜にワイヤボンディング用の電極パッドを備える必要がないので、半導体装置の小型化及び材料コストの低減を図ることができるという効果がある。

【0049】

また、本発明によれば、各半導体素子ごとに駆動回路を備える方式に比べ、集積回路を簡素化できるという効果がある。

【0050】

また、本発明によれば、広い面積を要する共通配線及び個別配線を、高価な化合物半導体等から構成される半導体薄膜上にではなく、基板上に設けたので、材料コストの低減を図ることができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す斜視図である。

【図2】 第1の実施形態に係るLED／駆動IC複合チップの一部を概略的に示す平面図である。

【図3】 図2をS3-S3線で切る面を概略的に示す断面図である。

【図4】 第1の実施形態に係るLED／駆動IC複合チップの回路図である。

【図5】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス（その1）を概略的に示す断面図である。

【図6】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス（その2）を概略的に示す断面図である。

【図7】 第1の実施形態に係るLED／駆動IC複合チップのLEDエピフィルムの製造プロセス（その3）を概略的に示す断面図である。

【図 8】 図 7 を $S_8 - S_8$ 線で切る面を概略的に示す断面図である。

【図 9】 第 1 の実施形態の変形例に係る LED/駆動 IC 複合チップを概略的に示す斜視図である。

【図 10】 本発明の第 2 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す斜視図である。

【図 11】 第 2 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 12】 図 11 を $S_{12} - S_{12}$ 線で切る面を概略的に示す断面図である。

【図 13】 本発明の第 3 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す斜視図である。

【図 14】 第 3 の実施形態に係る LED/駆動 IC 複合チップの一部を概略的に示す平面図である。

【図 15】 第 3 の実施形態に係る LED/駆動 IC 複合チップの製造プロセスを示す斜視図である。

【図 16】 第 3 の実施形態に係る LED/駆動 IC 複合チップの製造プロセスを示す斜視図である。

【図 17】 本発明に係る半導体装置を組み込んだ LED プリントヘッドを概略的に示す断面図である。

【図 18】 従来の LED プリントヘッドの一部を概略的に示す斜視図である。

【図 19】 図 18 の LED プリントヘッドに備えられた LED アレイチップの一部を示す平面図である。

【符号の説明】

100, 150, 200, 300 LED/駆動 IC 複合チップ、

101 Si 基板、

102 集積回路、

103, 153 メタル層、

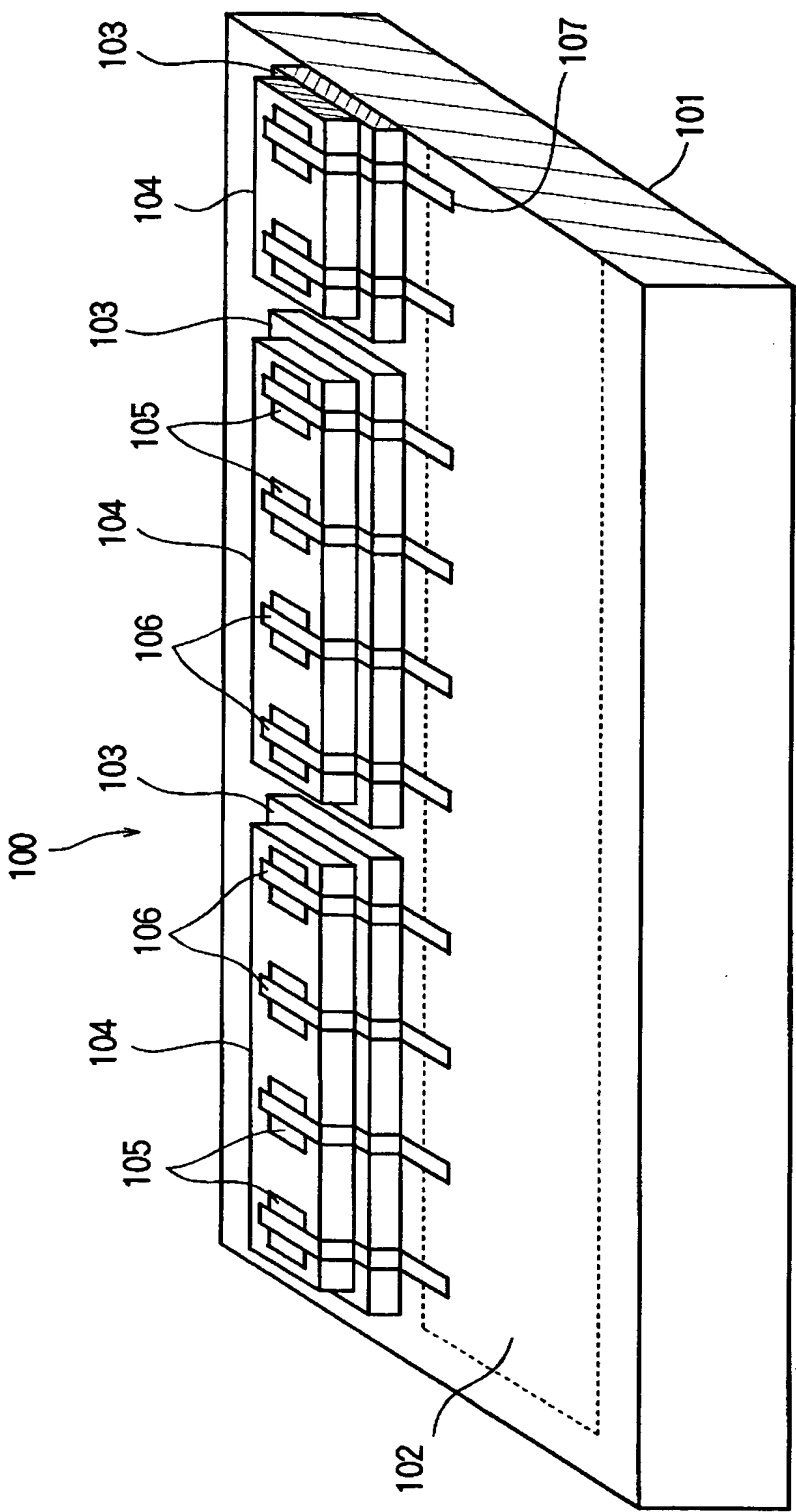
104, 204 エピタキシャルフィルム (LED エピフィルム)、

- 104a エピタキシャル層、
- 105 LED (発光部)、
- 106 個別配線層、
- 107 集積回路の個別電極領域、
- 108 集積回路の共通電極領域、
- 109 駆動 IC、
- 111 GaAs コンタクト層 (n 型 GaAs 層)、
- 112 AlGaAs 下クラッド層 (n 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層)、
- 113 AlGaAs 活性層 (n 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層)、
- 114 AlGaAs 上クラッド層 (n 型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層)、
- 115 GaAs コンタクト層、
- 115a GaAs コンタクト層 (GaAs 層に形成された Zn 拡散領域)、
- 116 Zn 拡散領域、
- 117 層間絶縁膜、
- 120 LED エピフィルム形成用基板、
- 121 GaAs 基板、
- 122 GaAs バッファ層、
- 123 (AlGa) InP エッチングストップ層、
- 124 AlAs 剥離層、
- 131 共通配線、
- 132 信号配線、
- 153a メタル層の延長部、
- 211 GaAs 層、
- 212 p 型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層、
- 213 p 型 $\text{Al}_y\text{Ga}_{1-y}\text{As}$ 層、
- 214 n 型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ 層、
- 215 n 型 GaAs 層、
- 303 メタル層、
- 303a メタル層の端部、

3 1 4 分離前のLEDエピフィルム、
7 0 0 LEDプリントヘッド、
7 0 2 LEDユニット、
7 0 3 ロッドレンズアレイ。

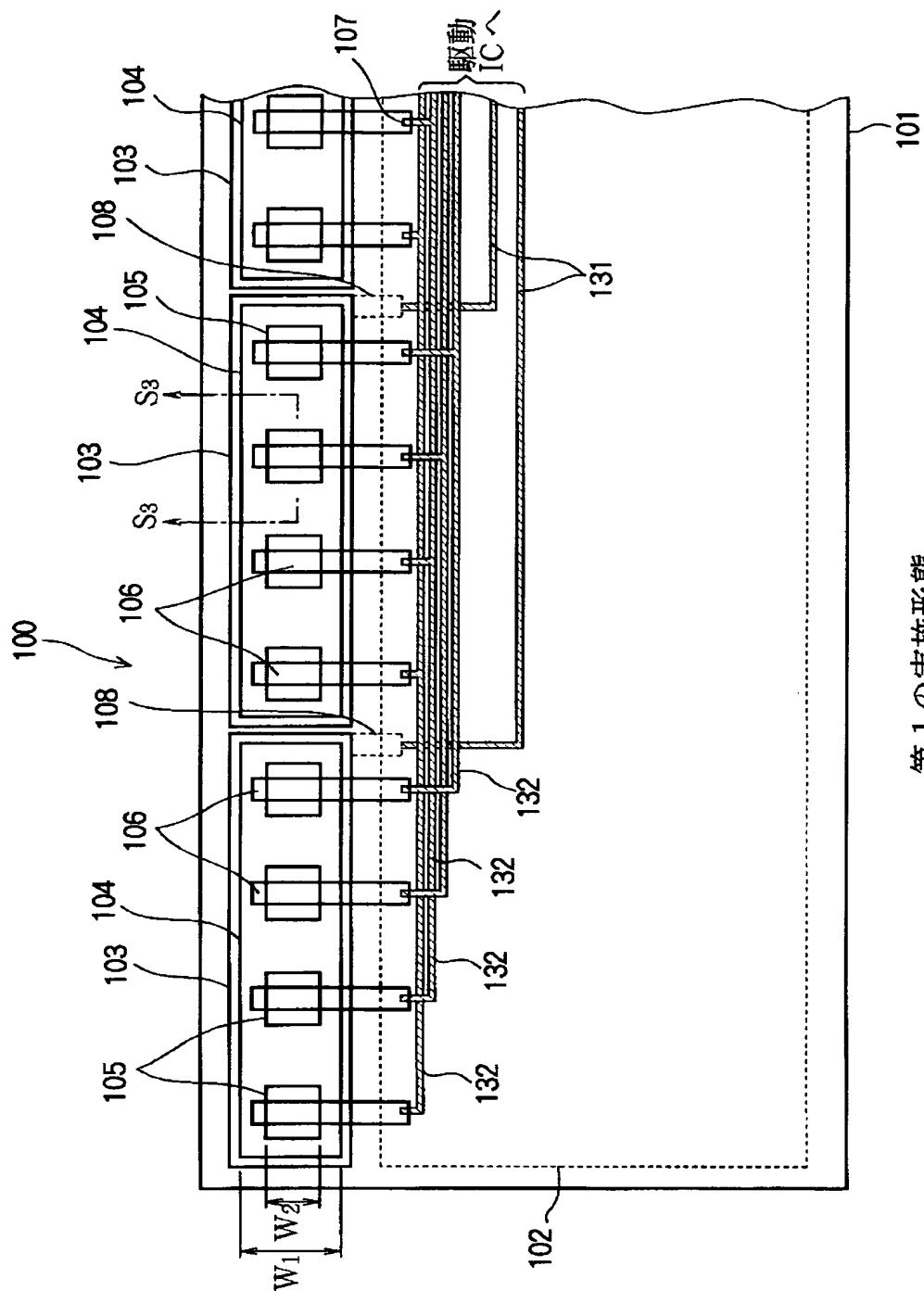
【書類名】 図面

【図 1】



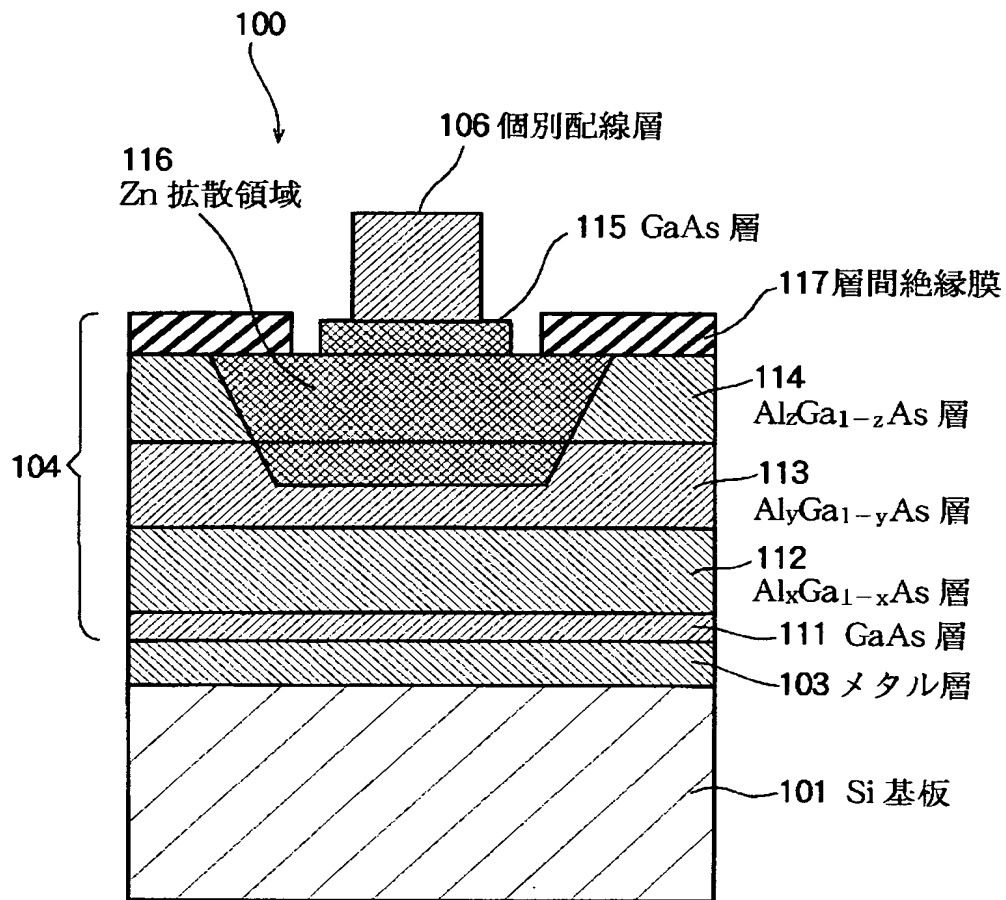
第 1 の実施形態

【図2】

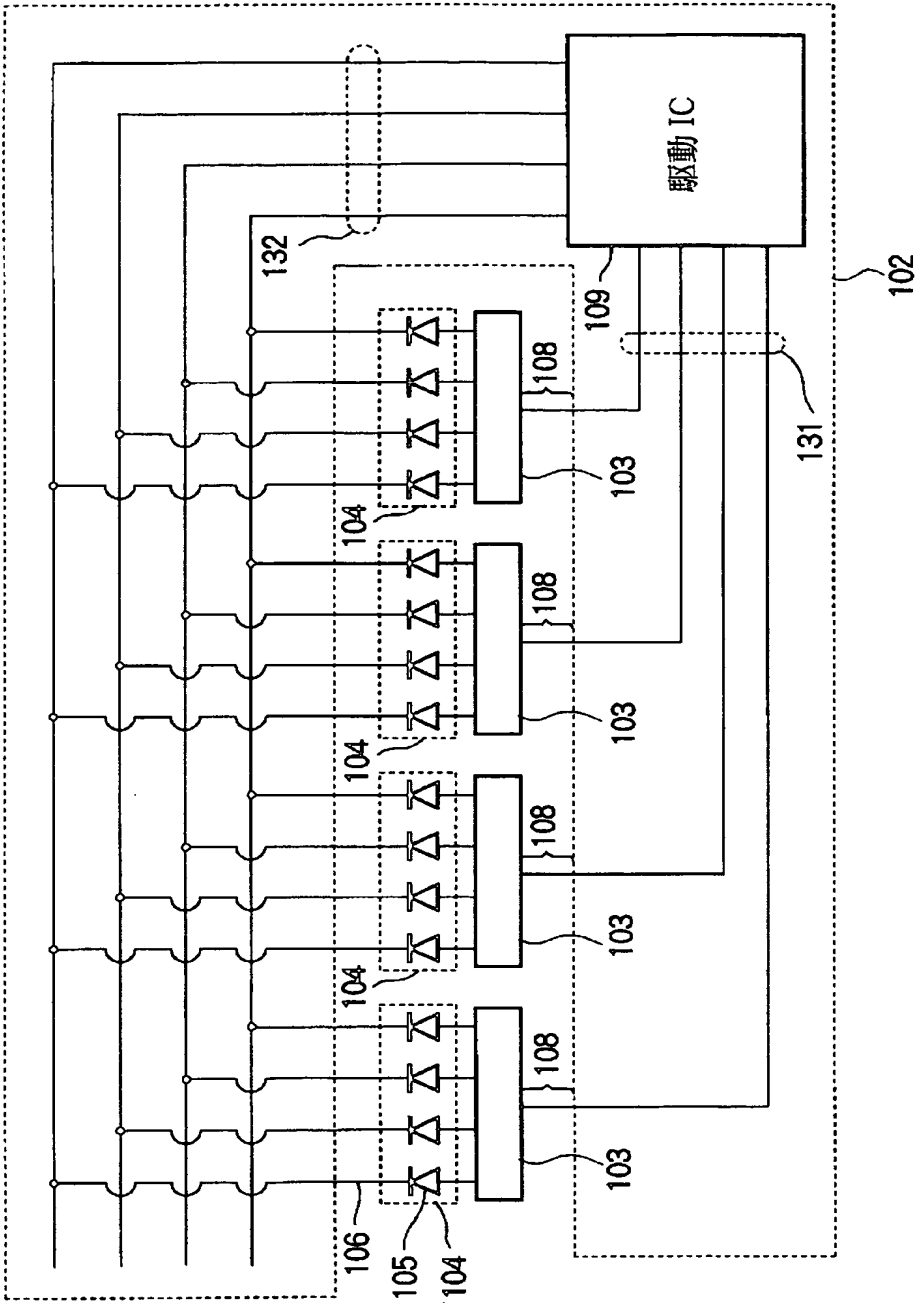


第1の実施形態

【図 3】

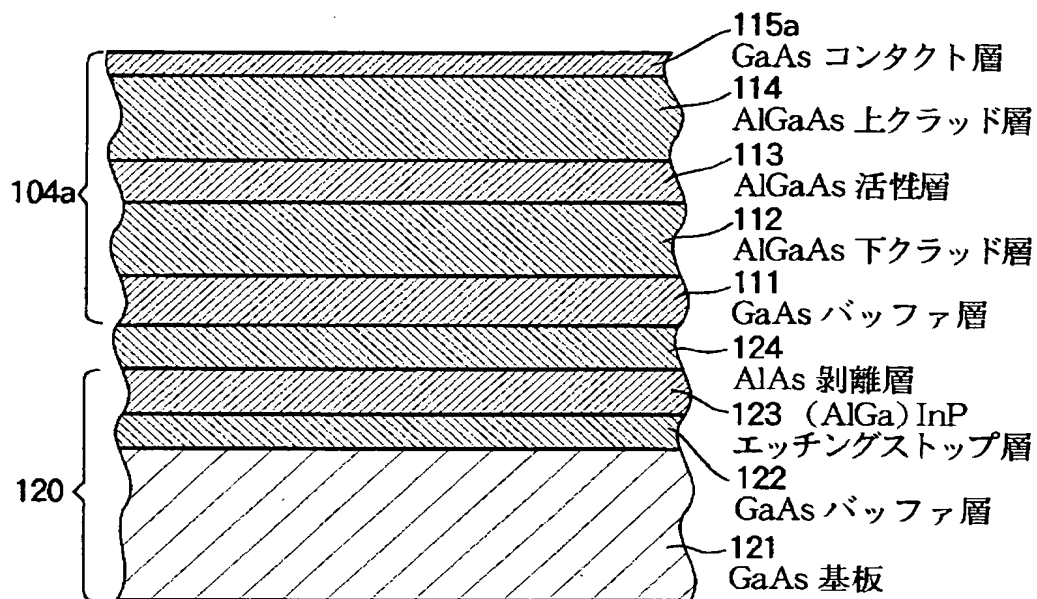


【図 4】



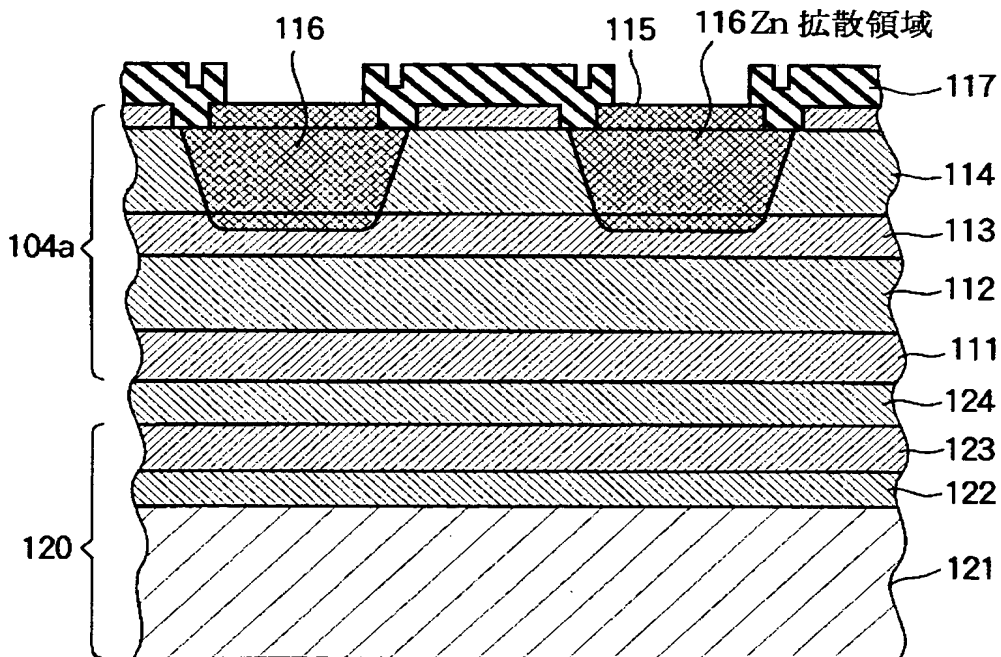
n=4, m=4 の場合の回路図

【図 5】



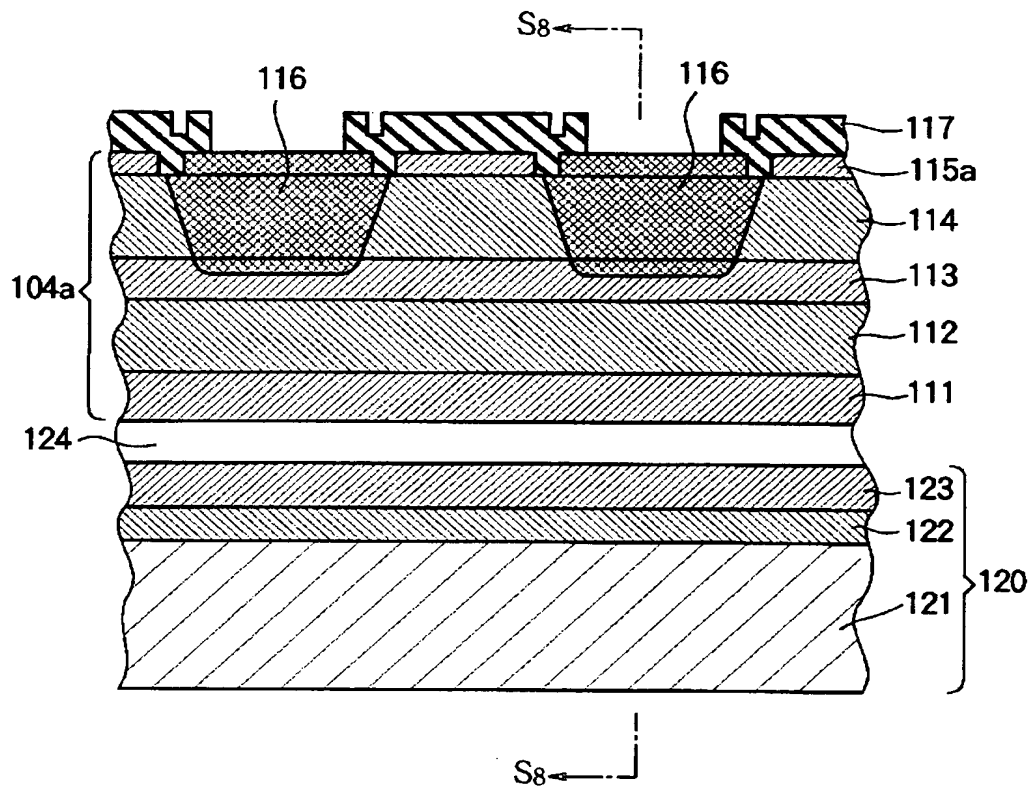
LED エピフィルムの製造プロセス(その 1)

【図 6】



LED エピフィルムの製造プロセス(その 2)

【図 7】



LED エピフィルム製造プロセス(その 3)

【図 8】

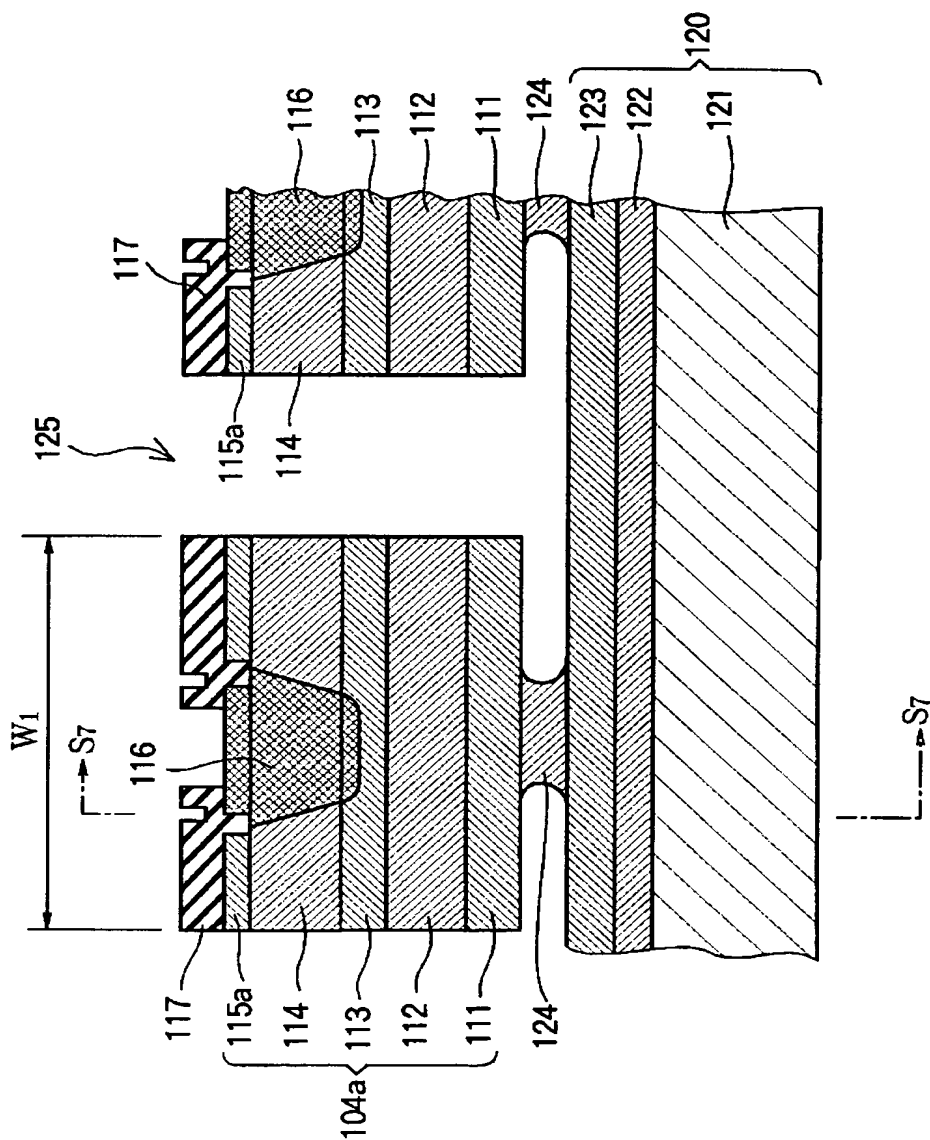
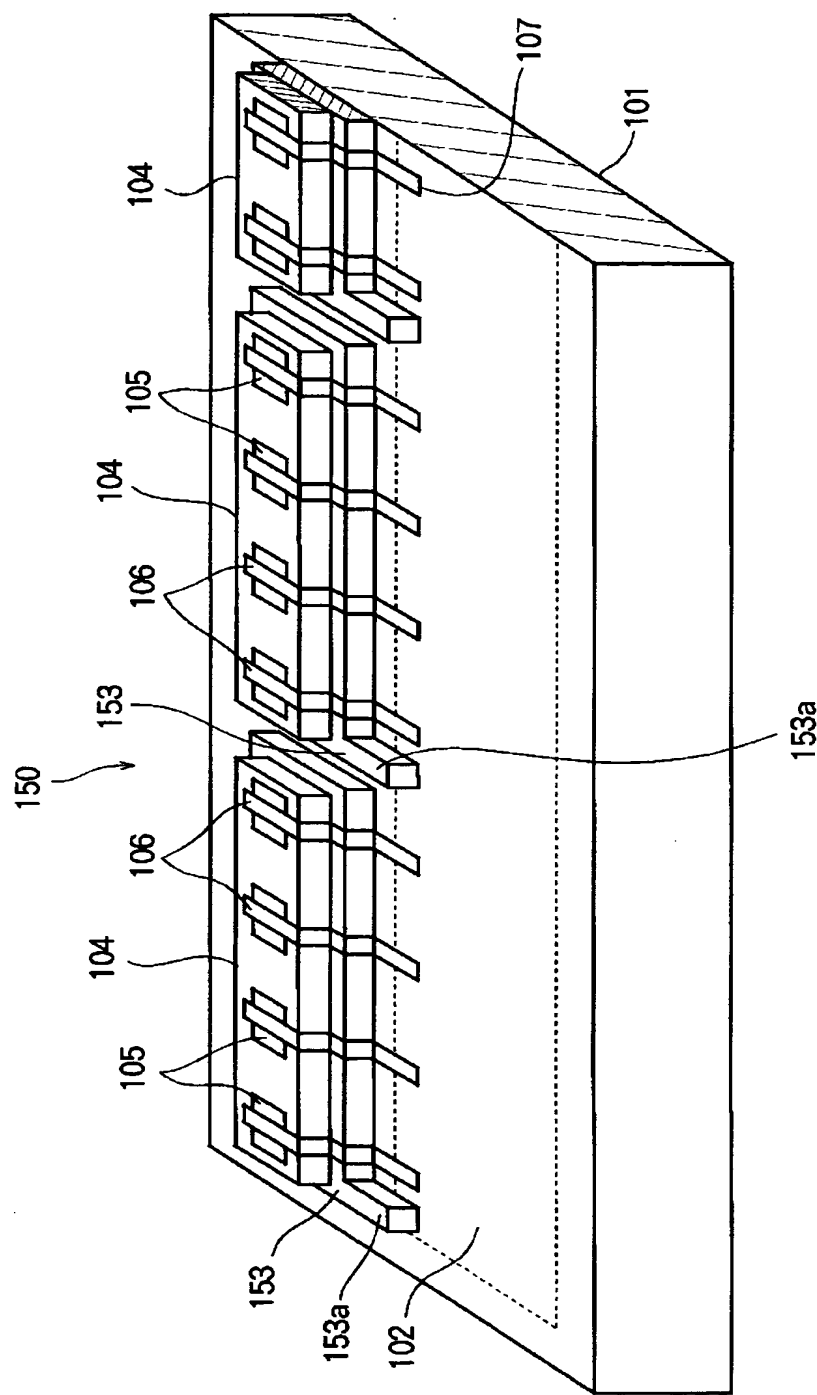


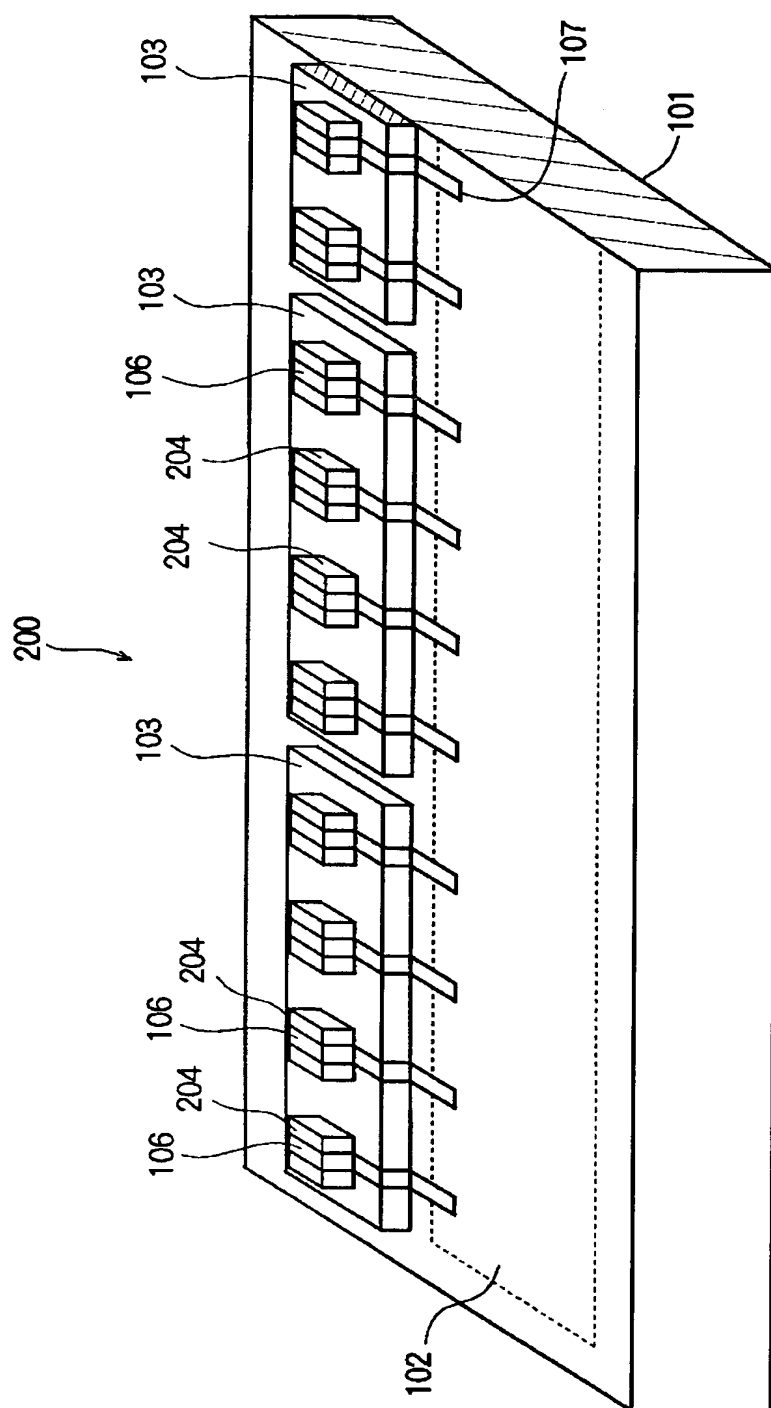
図 7 の S8-S8 線断面図

【図 9】



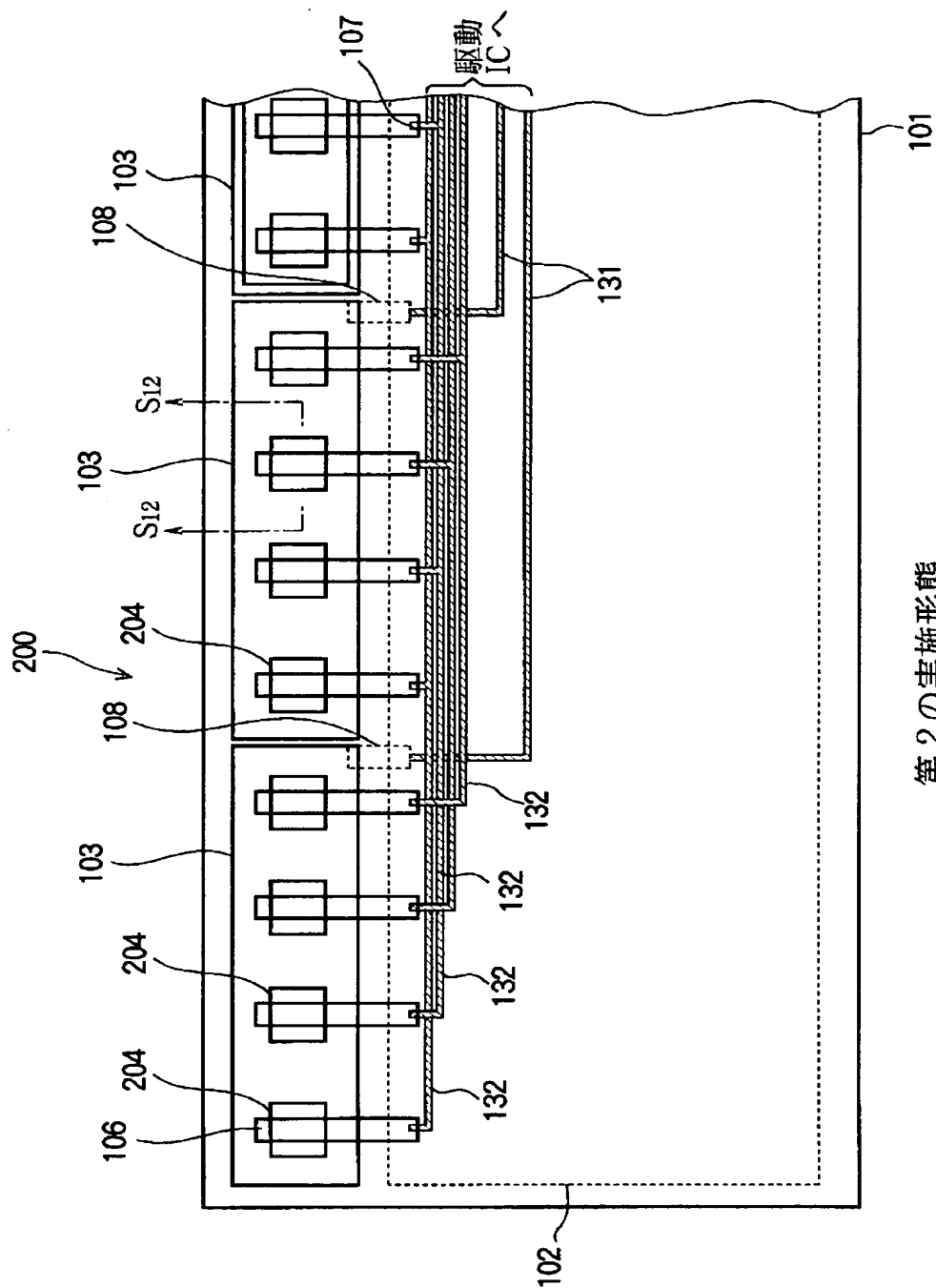
第 1 の実施形態の変形例

【図 10】

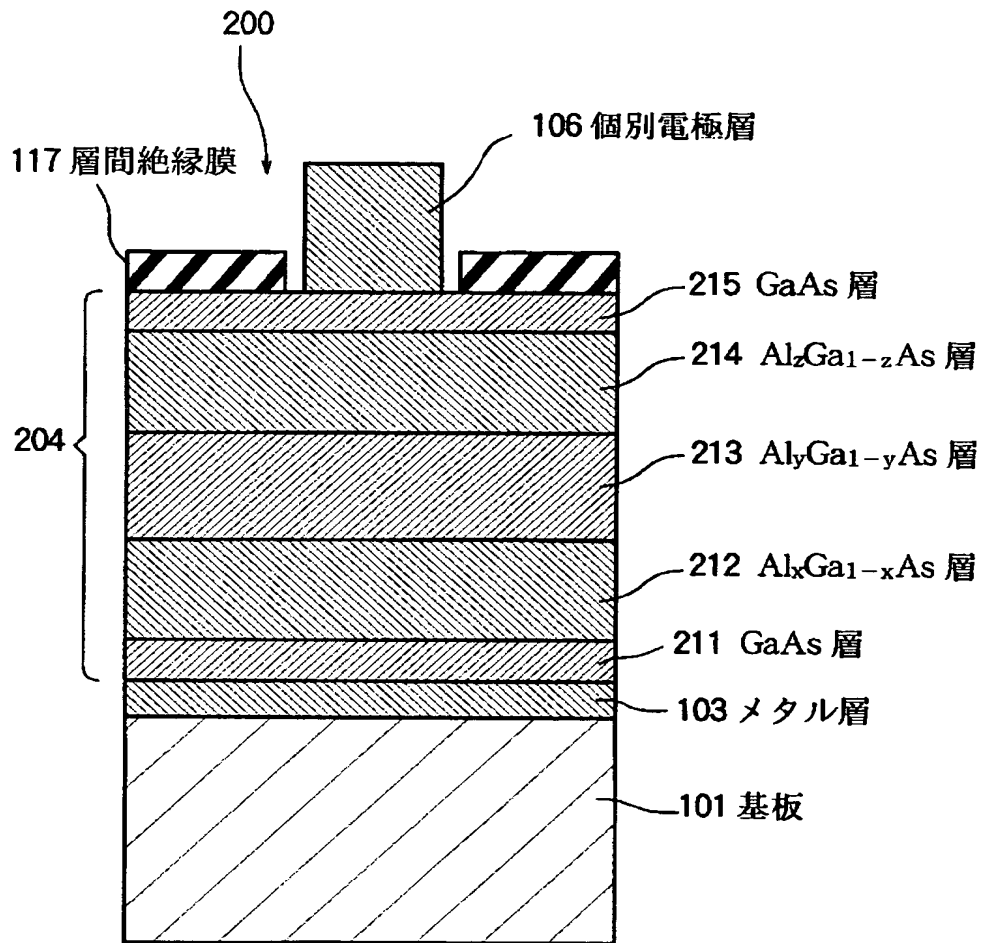


第 2 の実施形態

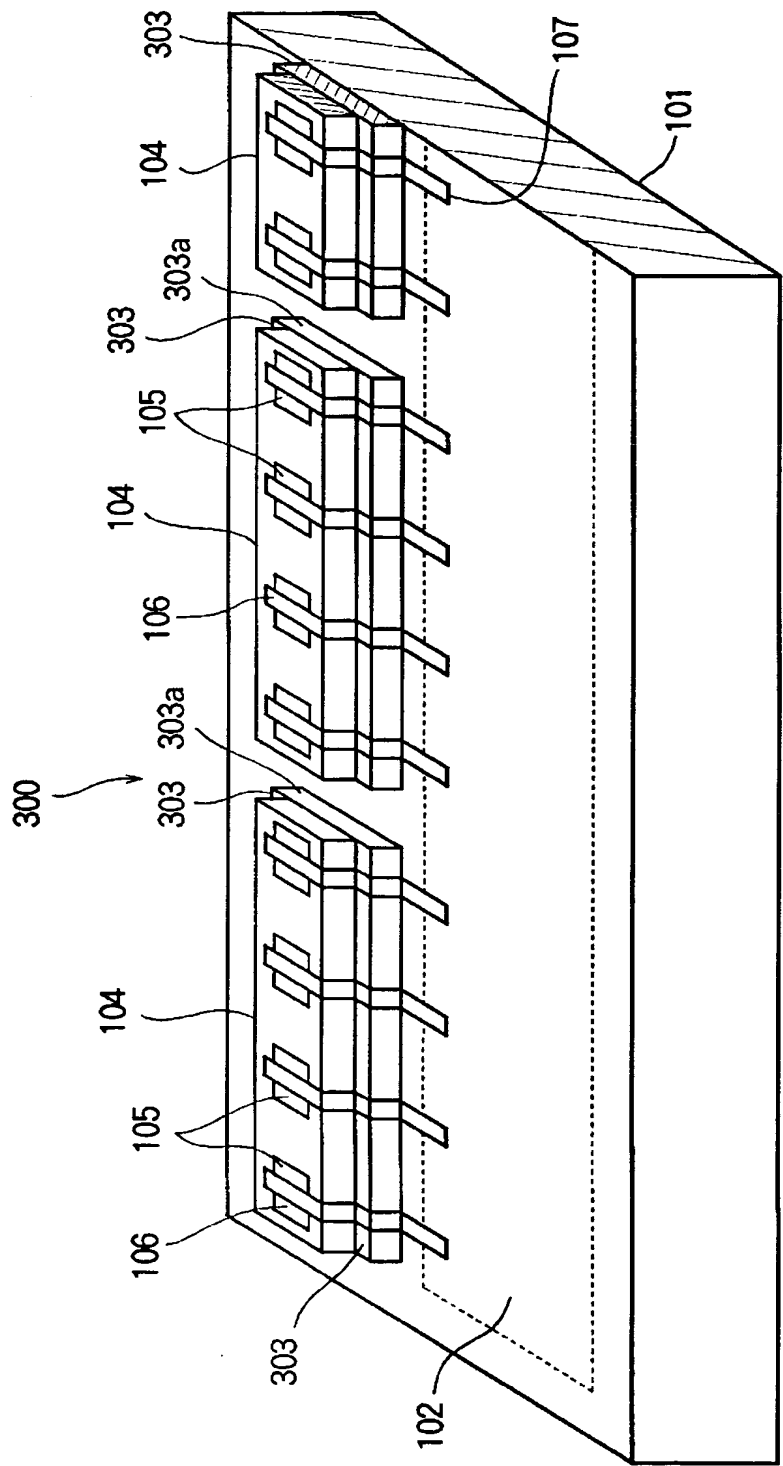
【図 1 1】



【図 12】

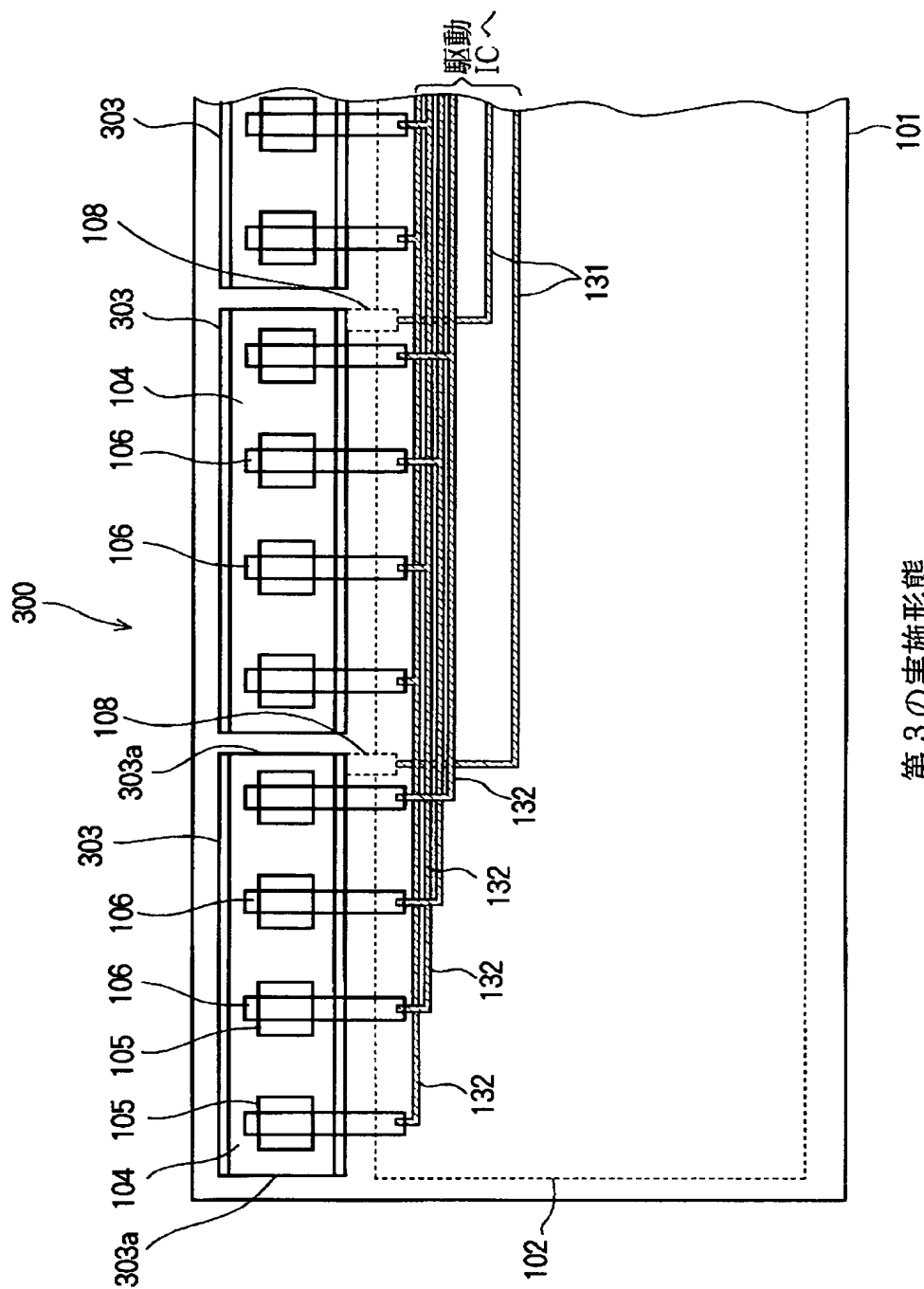
図 11 の S₁₂-S₁₂ 線断面図

【図 13】



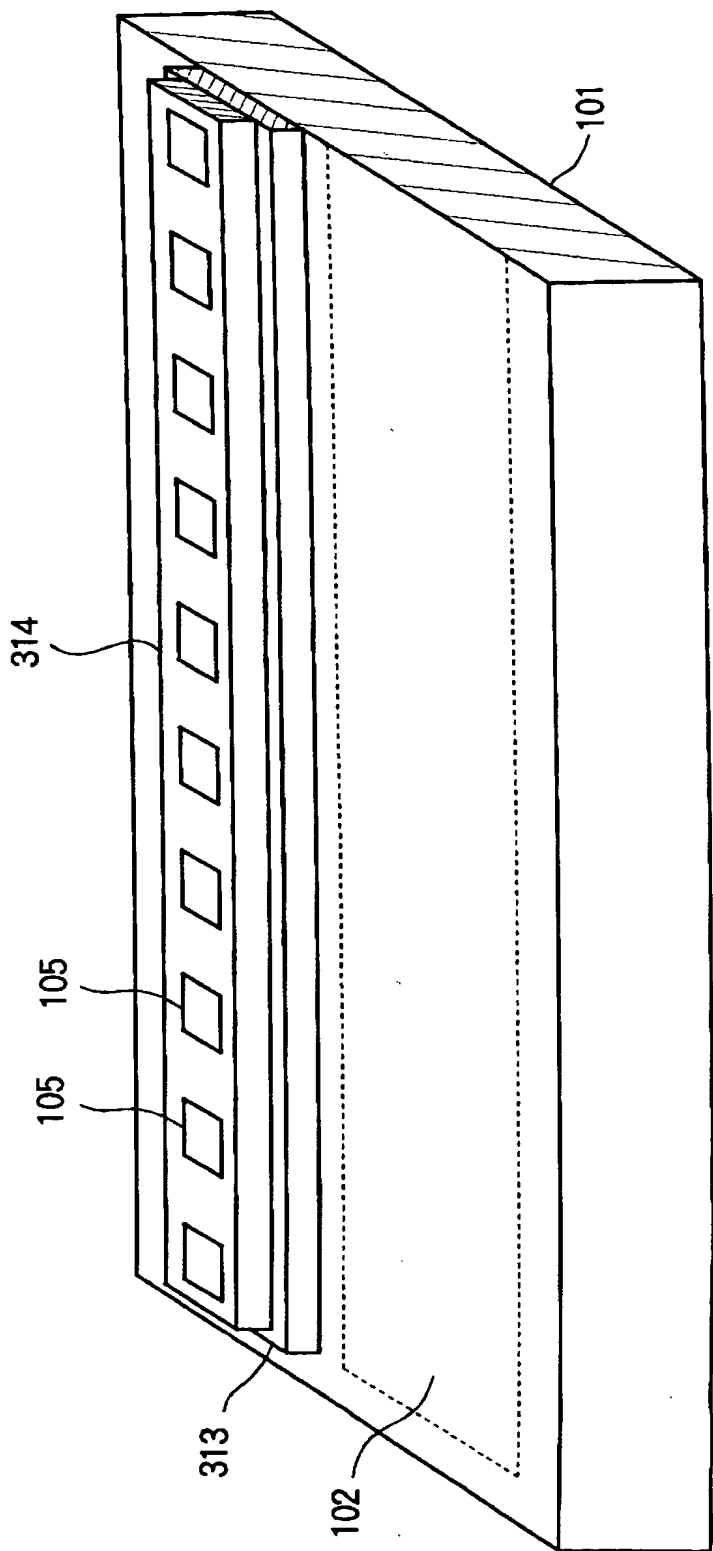
第3の実施形態

【図 14】



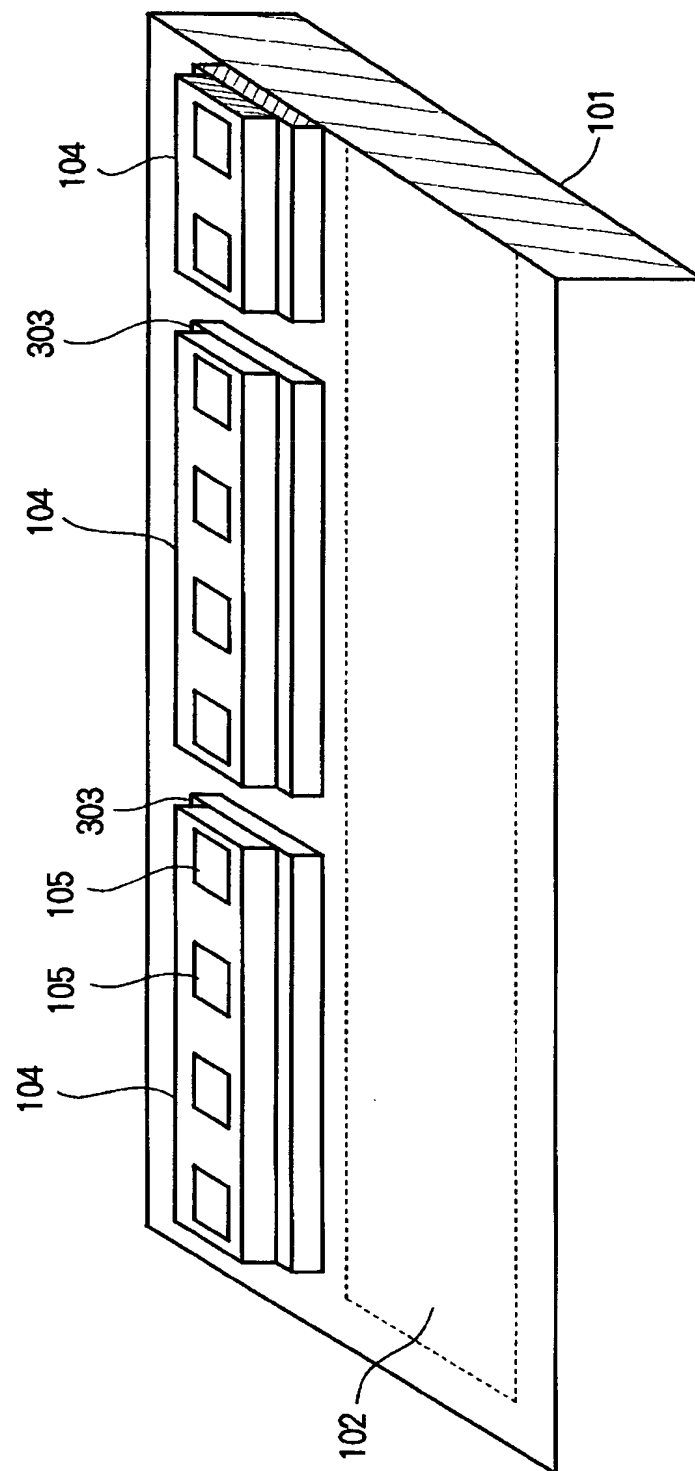
第3の実施形態

【図 15】



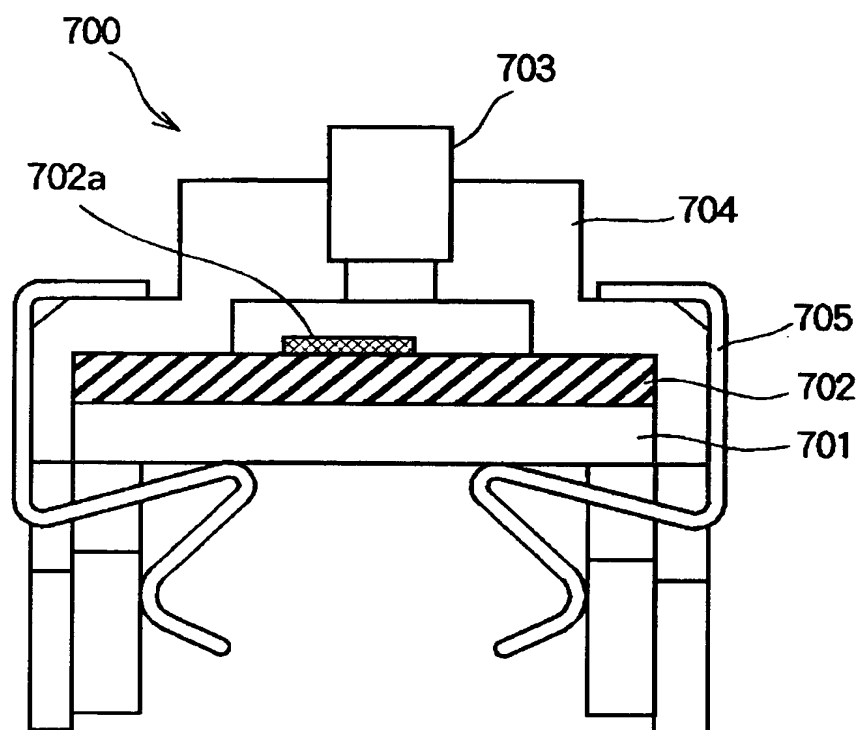
第3の実施形態の製造プロセス

【図 16】



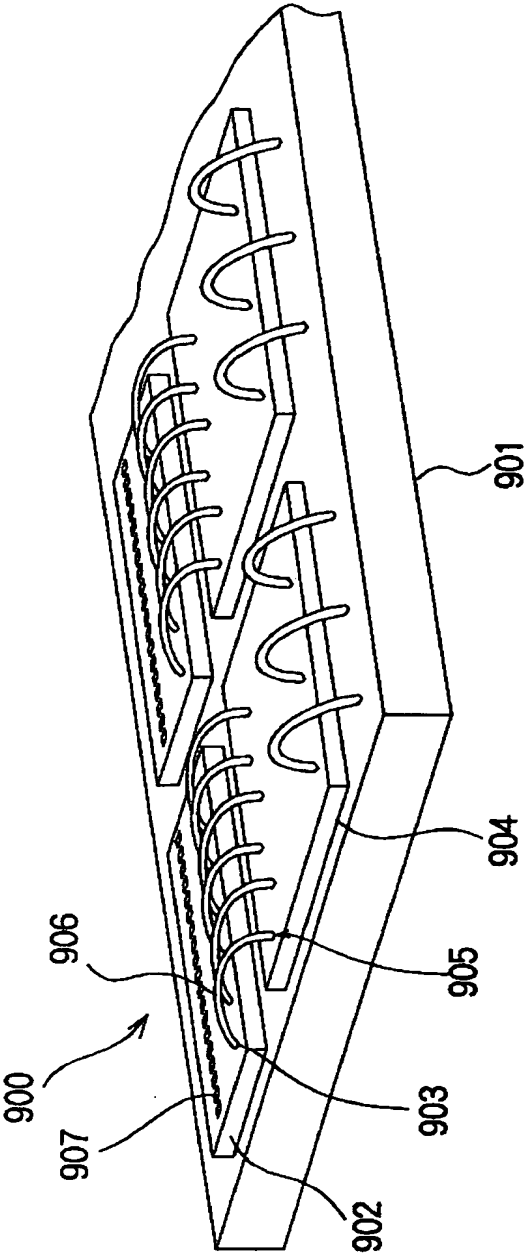
第3の実施形態の製造プロセス

【図 17】



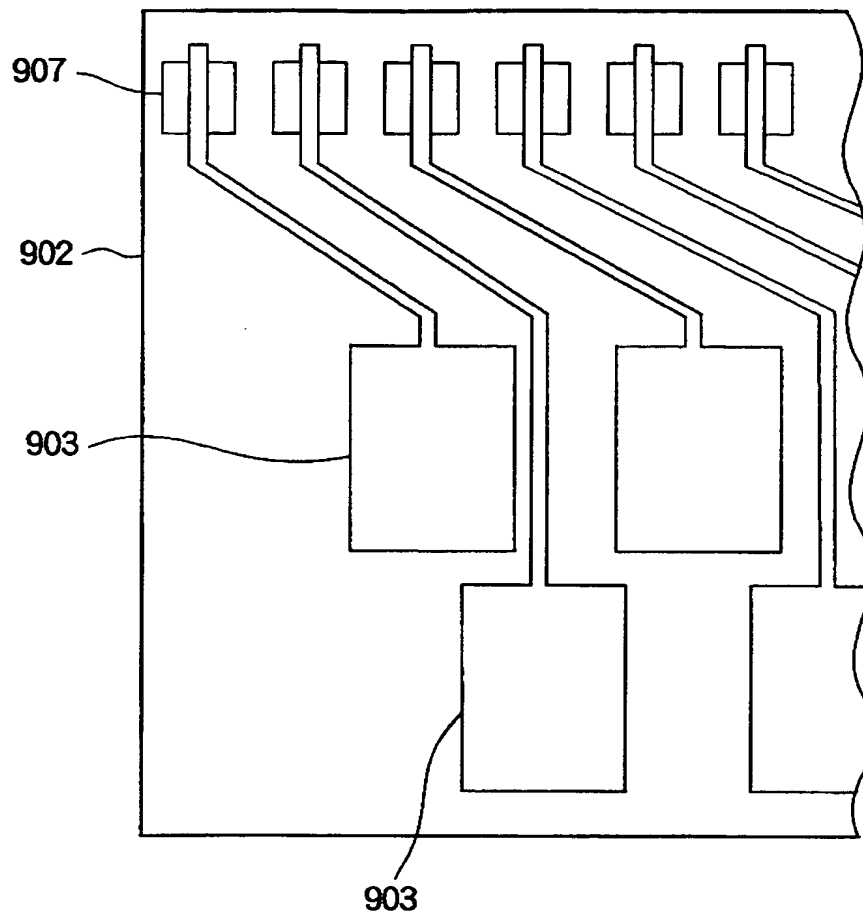
LED プリントヘッド

【図 18】



従来例

【図 19】



従来例

【書類名】 要約書

【要約】

【課題】 小型化及び材料コストの低減を図ることができる半導体装置を提供する。

【解決手段】 半導体装置は、基板 1 0 1 と、m 個のメタル層 1 0 3 と、メタル層 1 0 3 のそれぞれの表面に貼り付けられた L E D エピタキシャルフィルム 1 0 4 とを有する。基板 1 0 1 には、独立に電位を制御することができる m 本の共通配線 1 3 1 と、独立に電位を制御することができる n 本の信号配線 1 3 2 とが備えられ、m 本の共通配線 1 3 1 と m 個のメタル層 1 0 3 とが、一対一で接続されている。また、各メタル層 1 0 3 上の L E D エピタキシャルフィルム 1 0 4 に備えられた L E D 1 0 5 の内の k 番目 ($k = 1, 2, \dots, n$) の L E D が、n 本の信号配線 1 3 2 の内の k 番目の信号配線と接続される。

【選択図】 図 2

特願 2 0 0 2 - 3 7 1 7 6 9

出 願 人 履 歴 情 報

識別番号

[5 9 1 0 4 4 1 6 4]

1. 変更年月日

2 0 0 1 年 9 月 1 8 日

[変更理由]

住所変更

住 所

東京都港区芝浦四丁目 1 1 番 2 2 号

氏 名

株式会社沖データ

特願 2 0 0 2 - 3 7 1 7 6 9

出 願 人 履 歴 情 報

識別番号

[5 0 0 0 0 2 5 7 1]

1 . 変更年月日

1 9 9 9 年 1 2 月 2 0 日

[変更理由]

新規登録

住 所

東京都八王子市東浅川町 5 5 0 番地 - 1

氏 名

株式会社沖デジタルイメージング

PROPOSED INFORMATION DISCLOSURE STATEMENT

PARTICULARS

1. Japanese Patent Kokai (Laid-Open) Publication No. 10-063807;
Date of Publication: June 3, 1998;
Inventor: Yazawa et al.;
Applicant: Hitachi Ltd.;
Title of the Invention: Card Type Information Controller